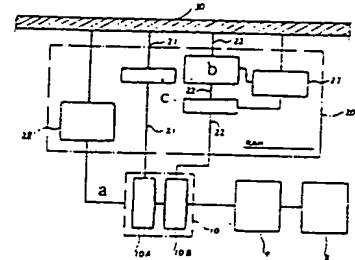
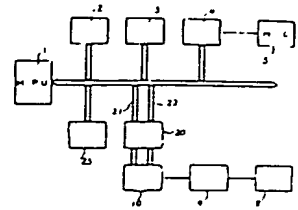


(54) IMAGE DATA GENERATING CIRCUIT
 (11) 2-173819 (A) (43) 5.7.1990 (19) JP
 (21) Appl. No. 63-327801 (22) 27.12.1988
 (71) KYOCERA CORP (72) MAKOTO KOGA
 (51) Int. Cl⁵. G06F3/12, G06F15/64

PURPOSE: To attain the effective use of a memory element by setting two memory areas at a prescribed address area in the same memory element in a state where they can overlay with each other and performing the access actions to both memory areas via different local buses.

CONSTITUTION: A microprocessor MPU 1 is prepared together with a control ROM 2, a font ROM 3, and an interface 4 for a host computer 5. These component parts are connected to an MPU bus JP. At the same time, a shared RAM 10 containing a system area 10A and a video area 10B which can overlay with each other is connected to the bus 30 via a RAM interface 20 and local buses 21 and 22. Thus the access actions are carried out between the area 10A serving as a system RAM memory and the area 10B serving as a picture RAM and other devices or between both areas 10A and 10B in terms of software under the control of the MPU 1. As a result, the effective use of a memory element is attained without increasing the undesired capacity of the memory element.



8: engine. 9: engine control part ROM. 23: signal production part. 27: arithmetic control part. 28: RAM control part. a: address control. b: arithmetic part. c: driver

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-173819

⑬ Int. Cl.³

G 08 F 3/12
15/64

識別記号

4 5 0

庁内整理番号

B

8323-5B
8419-5B

⑭ 公開 平成2年(1990)7月5日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 イメージデータ生成回路

⑯ 特 願 昭63-327801

⑰ 出 願 昭63(1988)12月27日

⑱ 発 明 者 古 賀 真

三重県度会郡玉城町野篠字又兵衛704-19 京セラ株式会社
三重玉城工場内

⑲ 出 願 人 京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

⑳ 代 理 人 弁理士 高橋 昌久

明 細 書

1. 発明の名称

イメージデータ生成回路

2. 特許請求の範囲

1) 少なくともホストコンピュータ側よりの入力データを一時格納するバッファメモリとして機能する第1のメモリ領域と、読入力データに基づいてフォントメモリより読み出されたドットパターン状のイメージデータを格納する第2のメモリ領域とを含み、これらのメモリ領域と他のデバイスとのアクセス動作がマイクロプロセッサ(以下MPUという)の制御下で行われるイメージデータ生成回路において、前記各メモリ領域を夫々互いにオーバーレイ可能に、同一のメモリ素子内の所定アドレス領域に設定するとともに、これらの各メモリ領域のアクセス動作が、MPUバスに接続された夫々異なるローカルバスを介して行う事の特徴とするイメージデータ生成回路

3. 発明の詳細な説明

「産業上の利用分野」

本発明は、ドット単位に展開したイメージデータを生成するイメージデータ生成回路に係り、特に前記イメージデータ等を格納するメモリと他のデバイスとのアクセス動作がMPUの制御下で行われるイメージデータ生成回路に関する。

「従来の技術」

従来より、マイクロコンピュータにより構成される各種応用システム分野においては、システム設計の容易化と汎用化更には低価格化等を図る為に、マイクロコンピュータを構成する各種機能を、MPU、コントロールLSI、メモリLSIのように分割化し、これらの機能モジュール(以下デバイスという)同士をボード等に形成されたMPUバスを介して接続し、所定の制御を行うよう構成されている。

例えばページプリンタのコントロール部に組込まれるイメージデータ生成回路においては、第3図に示すように、MPU1の制御用プログラムが格納されている制御用ROM2(読み出し専用メモリ)、文字、記号等の字体パターンが格納されて

いるフォントROM 3、インタフェース4を介してホストコンピュータ5側より入力した画像データを格納するバッファメモリとして又NPU 1のワークメモリとして機能するシステムRAM 6(随時書込み可能メモリ)、該システムRAM 6に格納された画像データに基づいてドット単位に展開したイメージデータを格納するビデオRAM 7等のメモリデバイスに加えて、ビデオRAM 7よりプリンタエンジン8に画像データを送信するプリンタ制御部9等のコントロールデバイス等から構成され、これらはいずれもNPUバス30を介してNPU 1に接続し、NPU 1のプログラム制御下で前記メモリ同士又は該メモリと他のデバイスとのアクセス動作を行いながら前記システムRAM 6に格納された画像データに基づいてフォントROM 3より読み出した文字パターンをビデオRAM 7にドット単位に展開してイメージデータとして格納するとともに、該イメージデータをスキャンラインづつプリンタ制御部9側に転送しつつ該制御部9でシリアル変換しながらプリンタエンジン8側に送信し、所

場合、この2Kbitの不足のために、メモリ素子をさらに数個追加するか又は大容量の1Mbitのメモリ素子を用いねばならず、結果として豊かなメモリ不足のために2倍のメモリ素子数が必要となりコストパフォーマンス的に極めて問題である。

本発明はかかる従来技術の欠点に鑑み、メモリ素子の共用化を図る事により不必要にメモリ素子容量を増やす事なくその効率的利用を図ったイメージデータ生成回路を提供する事を目的とする。

「問題を解決する為の手段」

先ず、前記したようにシステムRAM 6とビデオRAM 7のいずれも夫々個別に別個のメモリ素子で構成する理由は、DMAコントローラ等のようにNPU 1と無関係にハード的に前記RAMメモリとアクセスを行う場合に、NPU 1側でどのメモリ領域が現在アクセスし且つ必要な情報が書込まれているかを把握するのが不可能である為に、各RAMメモリのメモリ素子を夫々個別に設け、メモリ領域

定の印字動作を行う様に構成されている。

「発明が解決しようとする課題」

かかるイメージデータ生成回路は、システムRAM 6とビデオRAM 7のいずれも夫々個別に別個のメモリ素子で構成している為に、これらのメモリ領域がメモリマップ上完全に分離でき、ハードウェアのブロック分けが容易である為に、例えばハードウェア的処理にてデータ転送を行うDMAコントローラ等を組込んだ装置には有利であるが、前記メモリ素子の容量は例えば、64Kbit、256Kbit、1Mbit等のように、 2^n (nは整数) Kbit数に規定されている為に、例えば $8 \times 100\text{Kbit}$ のビデオRAM 7を構成する場合においては対応する容量のメモリ素子が存在しない為に、256Kbitのメモリ素子を4個使用(総容量 $8 \times 128\text{Kbit}$)しなければならず、この事はビデオRAM 7のメモリ領域内に $8 \times (128 - 100\text{Kbit}) = 8 \times 28\text{Kbit}$ 分の余白領域が常に存在する事となり、メモリの効率利用の面から好ましくない。

一方逆に、ビデオRAM 7が $8 \times 100\text{Kbit}$ 必要な

メモリマップ上完全に分離可能に構成する必要がある。

しかしながらNPU 1の制御下でソフト的に前記RAMメモリがアクセス動作を行う場合には、NPU 1側でどのメモリ領域が現在アクセスし且つ必要な情報が書込まれているかを把握するのは容易である為に、メモリ領域をメモリマップ上完全に分離させずにオーバーレイした状態にあっても相手側のメモリ領域の余白領域にデータの書込みを行う事が可能である。

本発明はかかる着想に基づいて創作されたもので、

①先づ、前記システムRAM 6メモリとして機能する第1のメモリ領域10Aと、前記画像RAMとして機能する第2のメモリ領域10Bとを有し、これらの各メモリ領域10A 10Bと他のデバイス又は前記メモリ領域10A 10B相互間のアクセス動作がNPU 1の制御下にソフト的に行われる事を第1の特徴とする。

本発明でいうオーバーレイとは同一のメモリ素子

の中に仮に2つのRAMが介在させたとしてこれを一つのRAM制御部からコントロールする。言換えると、仮想的なアドレス又は仮想記憶領域から同一の素子の中の複数のRAM領域をコントロールすることをいう。従って一つのジョブのためのプログラムルーチンが主記憶領域に入りきれないとしてこれを解決するための手法を意味するものではない。

④第2の特徴とする所は前記各メモリ領域10A,10Bが夫々互いにオーバーレイ可能に、同一のメモリ素子10内の所定アドレス領域に設定した点にある。

⑤第3の特徴とする所は、前記各メモリ領域10A,10Bのアクセス動作が共通するバスではなく、NPUバス30に接続された夫々異なるローカルバス21,22を介して行う点にある。

「作用」

かかる技術手段によれば、イメージデータ生成回路に組込まれる2種類のRAMメモリを夫々個別にモジュール化する事なく、同一のメモリ素子10

れば他方のメモリ有効領域が減少する事となり、この結果メモリ素子10やそのメモリ容量を不必要に増やす事なく一層効率的な利用を図る事が出来る。

尚、前記各メモリ領域10A,10Bには夫々異なる種類のデータが格納される為に、共通するバスを介してリード/ライトを行うとデータ処理が混乱するのみならずスタック操作等を行う場合に処理データに誤りが発生する場合がある。

そこで本発明は前記各メモリ領域10A,10Bのリード/ライト動作を夫々個別のデータバス21,22を介して行ない、これにより前記の欠点が解消されるのみならず、各データバス21,22に夫々固有のデータ処理を行うのに必要な制御モジュール等を介在させる事が出来る。

又前記データバスはNPUバス30に接続されたローカルバス21,22である為にNPU1の制御を行う上で何ら支障になる事はない。

「実施例」

以下、図面を参照して本発明の好適な実施例を

内に形成出来る為に、その分メモリ素子10の個数を削減出来る。

又前記同一のメモリ素子10内に形成されたメモリ領域10A,10Bは、メモリマップ上分離して形成しているのではなく互いにオーバーレイ可能に形成した為に、NPU1の制御によりソフト的に該メモリ素子10のすべてのアドレス空間にわたり、システムRAM8用のメモリ領域10Aとしても、又ビデオRAM7用のメモリ領域10Bとしても使用する事が出来、フレキシブルに各メモリ領域10A,10Bにメモリ容量を設定出来る。

而も前記両メモリ領域10A,10Bは、互いに最大メモリ容量を同時に並行して使用するものではなく、ビデオRAM7用のメモリ領域(以下ビデオ領域10Bという)にイメージデータが書き込まれた後のシステムRAM8用のメモリ領域(以下システム領域10Aという)の入力データ格納部分、プリンタエンジン8側に転送後のイメージデータ格納部分はいずれも新規なデータが書き込み可能となる為に、結果として一方のメモリ有効領域が増大す

例示的に詳しく説明する。ただしこの実施例に記載されている構成部品の寸法、材質、形状、その相対配置などは特に限定的な記載がない限りは、この発明の範囲をそのみに限定する趣旨ではなく、単なる説明例に過ぎない。

第1図は本発明の実施例に係るイメージデータ生成回路の全体ブロック図、第2図はその要部構成を示す詳細ブロック図である。

本データ生成回路は第3図と同様に、NPU1、制御用ROM2、フォントROM3、ホストコンピュータ5用インタフェース4とを有し、これらはいずれもNPUバス30に接続されている。

10はシステム領域とビデオ領域10Bの各メモリ領域10A,10Bが夫々互いにオーバーレイ可能に構成されている共用RAM10で、RAMインタフェース20とローカルバス21,22を介してNPUバス30に接続されている。又プリンタエンジン8はプリンタ制御部9を介して前記共用RAM10に接続されている。

23はNPU1の制御下で前記共用RAM10内の各メ

メモリ領域10A,10B と他のデバイス間でアクセス動作を行う為に必要な信号生成部である。

第2図は前記共用RAM 10とNPU バス30間の詳細構成を示し、前記共用RAM 10のシステム領域とNPU バス30間をアクセスする為の一のローカルデータバス21には双方向バスドライバ/レシーバ(以下ドライバ24という)が、又ビデオ領域10BとNPU バス30間をアクセスする為の第2のローカルデータバス22には第2のドライバ25と演算部28を夫々介在させ、該夫々のデータバス21, 22は信号生成部23よりのセレクト信号に基づいて前記ドライバ24, 25をアクティブにする事により対応するメモリ領域10A,10B とNPU バス30間をアクセスさせる事が出来る。

27はNPU 1よりのコントロール信号に基づいて前記演算部28を制御する演算制御部、29は、NPU の制御下に前記各データバス21, 22より転送された各種データを所定のアドレス領域に格納する為のRAM 制御部である。

次にかかる構成に基づくイメージデータ生成回

路が書込まれた後の画像データは既に不要である為に、その指定アドレスを更新してイメージデータを書込む事が可能となる。

この結果、ビデオRAM 7には、実際に表示(印刷)されるイメージと1:1で対応するドットパターン状の画像データが格納される事になる。

次にビデオRAM 7よりスキャンライン分の画像データをプリンタ制御部8側に転送し、該転送されたデータをシリアル変換しつつ所定の印字動作を行うとともに、これと並行してドライバ24をアクティブにした後、NPU バス30及びデータバス21を介してビデオ領域10Bの前記転送終了後の空き領域に画像データを格納し、次にドライバ25をアクティブにする事により、NPU バス30及びデータバス22を介して前記と同様なイメージデータを指定されたビデオ領域10Bに格納し、以下かかる動作を繰り返す。

尚前記動作は全てNPU 1の制御下で行われる。

「発明の効果」

路のアクセス動作について説明する。

先ず、信号生成部27よりのセレクト信号によりドライバ24をアクティブにした後、インタフェース6を介してホストコンピュータからの文字コードに対応する信号を画像データとして入力しNPU バス30を介してデータバス21に載せる。そして該データを共用RAM 10のシステム領域の、RAM 制御部28により指定されたアドレスに格納した後、該格納された画像データをデータバス21及びNPU バス30を介してフロントROM 3に付与する事により所定の文字パターンを読出し、次に信号生成部27でビデオRAM 7セレクト信号を出力してドライバ25をアクティブにする事により、NPU バス30を介して該文字パターンをデータバス22に載せ演算部28で所定のデータ処理をした後、RAM 制御部28の指定されたアドレスにより共用RAM 10のビデオ領域10Bに前記画像データに対応するイメージデータとして格納する。以下かかる動作を繰り返しながら所定バンド幅のイメージデータをビデオ領域10Bに格納する訳であるが、この際イメージデー

以上記載した如く本発明によれば、メモリ領域が夫々互いにオーバーレイ可能にメモリ素子の共用化を図る事により不必要にメモリ素子容量を増やす事なくその効率的利用を図る事が出来るとともに、特に本発明はNPU の制御下におけるRAM 制御部のアドレス指定により、空き領域を有効に利用して異なる種類の画像データを効率的に格納する事が出来る為にイメージデータ生成回路において本発明を用いる事によって迅速な処理が可能となる。等の種々の効果を有す。

4. 図面の簡単な説明

第1図は本発明の実施例に係るイメージデータ生成回路の全体ブロック図、第2図はその要部構成を示す詳細ブロック図、第3図は従来技術に係るイメージデータ生成回路の全体ブロック図である。

特許出願人：京セラ株式会社

代理人： 弁理士 高橋 昌久



